

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-088420

(43)Date of publication of application : 12.04.1991

(51)Int.Cl.

H03K 19/0948

H01L 27/04

H01L 27/088

H03K 17/687

(21)Application number : 01-224238

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.08.1989

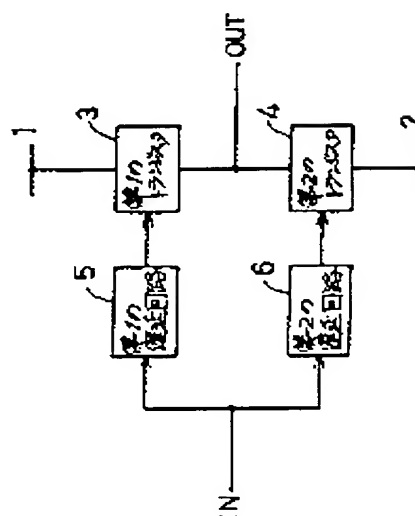
(72)Inventor : TAKASE RIKIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent the increase in current consumption and the fluctuation of a power level by providing 1st and 2nd delay circuits to each input stage of 1st and 2nd transistors(TRs) to prevent a DC current in the change of the output stage from being caused.

CONSTITUTION: To an input stage of 1st and 2nd TRs 3, 4, 1st and 2nd delay circuits 5, 6 are provided respectively. The 1st and 2nd delay circuits 5, 6 retard a signal from an input terminal IN respectively and the timing in the operating state of the 1st and 2nd TRs 3, 4 is changed due to the difference from the delays to prevent the conduction state of the 1st and 2nd TRs 3, 4 between 1st and 2nd power supplies 1, 2. Thus, the increase in the current consumption is prevented and the fluctuation of the power supply level is avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑫ 公開特許公報(A) 平3-88420

⑭ Int. Cl.⁵

識別記号

庁内整理番号

⑰ 公開 平成3年(1991)4月12日

H 03 K 19/0948

H 01 L 27/04

H 03 K 27/088

H 03 K 17/687

D

9056-5F

8326-5J

7735-5F

7827-5J

H 03 K 19/094

H 01 L 27/08

H 03 K 17/687

102

B

J

F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路

⑰ 特 願 平1-224238

⑱ 出 願 平1(1989)8月30日

⑲ 発 明 者 高 瀬 利 貴 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 伊東 忠彦 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

第1及び第2の電源間(1, 2)で直列に接続した第1及び第2のトランジスタ(3, 4)により、入力信号に対して反転した信号を出力する半導体集積回路において、

前記第1及び第2のトランジスタ(3, 4)の入力段のそれぞれに、選択的に時間設定可能な第1及び第2の遅延回路(5, 6)を設ける

ことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(概要)

大電流を要する出力回路等を有する半導体集積回路に関し、

電源間における直線的な経路の形成を防止することを目的とし、

第1及び第2の電源間で直列に接続した第1及び第2のトランジスタにより、入力信号に対して反転した信号を出力する半導体集積回路において、前記第1及び第2のトランジスタの入力段のそれぞれに、選択的に時間設定可能な第1及び第2の遅延回路を設けるように構成する。

(産業上の利用分野)

本発明は半導体集積回路に係り、特に大電流を要する出力回路等を有する半導体集積回路に関する。

近年、半導体集積回路における出力回路は、用途に応じて種々の型のものが用いられている。その一つとして、大電流を流すことを目的として大容量のトランジスタを用いた回路がある。しかし、その反面では回路全体の消費電流の増加を抑えることが要求されている。そのため、出力回路においても無駄な電流の消費を抑える必要がある。

(従来の技術)

第5図に、従来の半導体集積回路における出力回路の一例を示す。第5図中、第1の電源20と第2の電極であるグラウンド(GND)21間に、P型MOSエンハンスメントトランジスタ22及びN型MOSエンハンスメントトランジスタ23の直列回路が接続されたものである。これらトランジスタ22、23のドレイン側を共通の出力端子O U Tとし、ゲート側を同一の入力端子I Nとしている。

第5図の回路は、いわゆるCMOSインバータ回路であり、入力端子I Nからのゲート信号によりトランジスタ22、23が導通、非導通の反対動作をする。これにより、出力端子O U Tからは、入力端子I Nの信号状態と反転した信号が出力される。

(発明が解決しようとする課題)

ところで、入力端子I Nからのゲート信号に対し、トランジスタ22、23の動作状態が変化す

る際、P型とN型のトランジスタのそれぞれのしきい値によってはトランジスタ22、23が共に導通状態となる。

これにより、電源20及びGND 21間に直列に接続されたトランジスタ22、23によって、直流的な経路が形成され、当該電極間に電流が流れることにより、消費電流の増加や電極電位が変動するという問題がある。

そこで、本発明は上記課題に鑑みなされたもので、電源間における直流的な経路の形成を防止する半導体集積回路を提供することを目的とする。

(課題を解決するための手段)

第1図に本発明の原理ブロック図を示す。

図中、1は第1の電源であり、2は第2の電源である。第1の電源1及び第2の電源2間には、第1のトランジスタ3及び第2のトランジスタ4の直列回路が接続される。この第1及び第2のトランジスタ3、4の接続点は出力端子O U Tとなる。また、第1のトランジスタ3の入力段に、遅

- 3 -

延的に時間設定可能な第1の遅延回路5が設けられると共に、第2のトランジスタ4の入力段に遅延的に時間設定可能な第2の遅延回路6が設けられる。そして、第1及び第2の遅延回路5、6には、入力端子I Nより共通の信号が入力される。

(作用)

第1図に示すように、第1及び第2のトランジスタ3、4の入力段には、それぞれ第1及び第2の遅延回路5、6が設けられている。この第1及び第2の遅延回路5、6は入力端子I Nからの信号をそれぞれ遅延させ、その遅延の差により第1のトランジスタ3と第2のトランジスタ4の動作状態のタイミングを変化させている。これにより、第1及び第2の電極間1、2の第1及び第2のトランジスタ3、4による導通状態を防止している。

すなわち、直列に接続された第1及び第2のトランジスタ3、4の入力信号を分離し、導通から非導通への変化の完了後に、非導通から導通へ変化させている。

- 5 -

- 4 -

延って、消費電流の増加が防止されると共に、電極電位の変動が防止される。

(実施例)

第2図に本発明の一実施例を示す。第2図において、第2の電源2をグラウンド(GND)とする。第1の電源1及びGND 2間に、第1のトランジスタであるP型エンハンスメントトランジスタ(以下、「PEトランジスタ」という。)3及び第2のトランジスタであるN型エンハンスメントトランジスタ(以下、「NEトランジスタ」という。)4の直列回路が接続される。この場合、PEトランジスタ3のソース側は第1の電源1に接続され、一方、NEトランジスタ4のソース側がGND 2に接続される。そして、PEトランジスタ3及びNEトランジスタ4のドレイン側が共通して出力端子O U Tとなる。

また、PEトランジスタ3の入力段(ゲート側)に第1の遅延回路であるN型デプリショントランジスタ(以下、「NDトランジスタ」という。)

- 6 -

5を介して共通の入力端子INに接続される。一方、NEトランジスタ4の入力段(ゲート電)に第2の遅延回路であるP型デブリショントランジスタ(以下、「PDトランジスタ」という。)6を介して共通の入力端子INに接続される。この場合、NDトランジスタ5のソース側がPEトランジスタ3のゲートに接続され(ノード7)、ゲートがドレイン側に接続される。また、PDトランジスタ6のドレイン側がNEトランジスタ4のゲートに接続され(ノード8)、ゲートがソース側に接続される。

次に、第2図の回路動作を第3図のタイムチャートと共に説明する。まず、入力端子INからの入力信号がロー(L)レベルのときは、NDトランジスタ5のゲート電位がLレベルのために抵抗値が高く、ノード7がLレベルであることから、PEトランジスタ3は導通状態である。一方、PDトランジスタ6は、ゲート電位がLレベルのために抵抗値が低く、ノード8がLレベルであることから、NEトランジスタ4は非導通状態である。

- 7 -

はNDトランジスタ5の抵抗値とPEトランジスタ3のゲート容量により、Lレベルへの変化が遅延される(第3図(B))。また、PDトランジスタ6では抵抗値が低下し、ノード8は速やかにLレベルに変化する(第3図(C))。従って、ノード7とノード8の立下りの差により、NEトランジスタ4が導通から非導通の状態に変化した後、PEトランジスタ3が非導通から導通の状態に変化し、出力端子OUTからはHレベルの出力がされる。

このように、導通状態の第1又は第2のトランジスタ3、4を、まず非導通状態にしてから、非導通状態の第1又は第2のトランジスタ3、4を導通状態にしていることから、第1及び第2のトランジスタ3、4が共に導通状態となることがない。

なお、ノード7、8の遅延時間は、PEトランジスタ3、NEトランジスタ4のゲート容量と、NDトランジスタ5、PEトランジスタ6の抵抗値の電圧により設定可能である。

- 9 -

従って、出力端子OUTはハイ(H)レベルの出力がされる。

つぎに、入力端子INからの入力信号が、LレベルからHレベルに変化すると(第3図(A))、NDトランジスタ5は、ゲート電圧がHレベルのために抵抗値が低下し、ノード7は速やかにHレベルに変化する(第3図(B))。一方、PDトランジスタ6は、ゲート電圧がHレベルのために抵抗値が増加する。このとき、ノード8はPDトランジスタ6の抵抗とNEトランジスタ4のゲート容量とにより、Hレベルへの変化はノード7より遅延したものとなる(第3図(C))。従って、ノード7とノード8の立上りの差により、PEトランジスタ3が導通から非導通の状態に変化した後、NEトランジスタ4が非導通から導通の状態に変化し、出力端子OUTからはLレベルの出力がされる。

そして、入力端子INからの入力信号がHレベルからLレベルに変化すると(第3図(A))、NDトランジスタ5の抵抗値が増加し、ノード7

- 8 -

次に、第4図に本発明の他の実施例を示す。第4図は、第2図における第1の遅延回路5をNEトランジスタ9と抵抗10の並列回路に置き換え、第2の遅延回路6をPEトランジスタ11と抵抗12の並列回路に置き換えたものである。この場合、ノード7のレベル変化は、NEトランジスタ9が導通状態になるときに速やかにHレベルに変化し、非導通状態になるときは抵抗10とPEトランジスタ3のゲート容量とにより立下りが遅延されてLレベルに変化する(第3図(B))。またノード8のレベル変化は、PEトランジスタ9が非導通状態になるときに抵抗12とNEトランジスタ4のゲート容量により立上りが遅延されてHレベルに変化し、導通状態になるときに速やかにLレベルに変化する(第3図(C))。これにより、第3図と同様に、PEトランジスタ3及びNEトランジスタ4が共に導通状態になることはない。なお、遅延時間は、PEトランジスタ3及びNEトランジスタ4のゲート容量から、抵抗10、12の抵抗値の選択により任意に設定でき

- 10 -

る。ここで、第4図の回路は絶てエンハンスメントトランジスタを使用することから、半導体装置の製造における工程が容易となる。

なお、上記実施例はインバータ回路の構成を示しているが、ナンドゲート回路やノアゲート回路を構成しても同様の効果を有する。

(発明の効果)

以上のように本発明によれば、第1及び第2のトランジスタの入力段のそれぞれに第1及び第2の遅延回路を設けることにより、出力状態が変化する時の直流的な電流の発生を防止することができ、消費電流の増加を防止し、電圧電位の雑音の発生等を低減させることができる。

4. 図面の簡単な説明

- 第1図は本発明の原理ブロック図、
- 第2図は本発明の一実施例の回路図、
- 第3図は第2図のタイムチャート、
- 第4図は本発明の他の実施例の回路図、

第5図は従来の一例を示した回路図である。

図において、

- 1は第1の電源、
- 2は第2の電源、
- 3は第1のトランジスタ(P Eトランジスタ)、
- 4は第2のトランジスタ(N Eトランジスタ)、
- 5は第1の遅延回路、
- 6は第2の遅延回路を示す。

特許出願人 富士通株式会社

代理人 弁理士 伊東忠彦

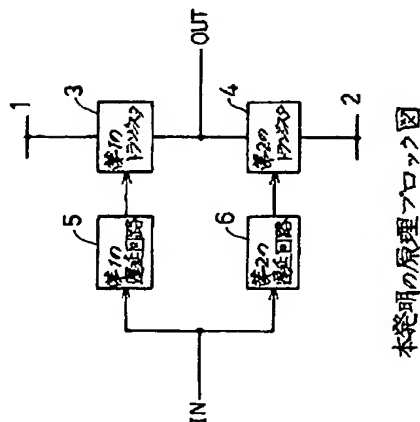
同 弁理士 松浦兼行

同 弁理士 片山修平



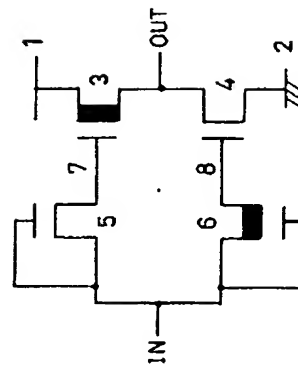
- 11 -

- 12 -



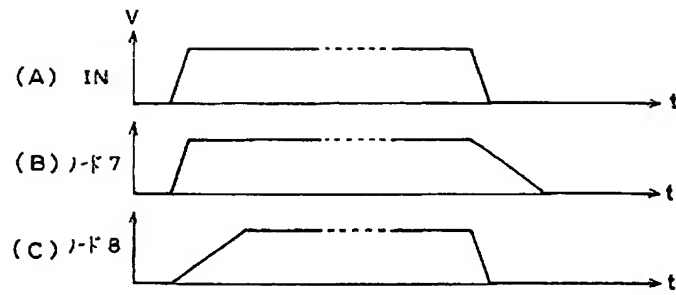
本発明の原理ブロック図

第1図



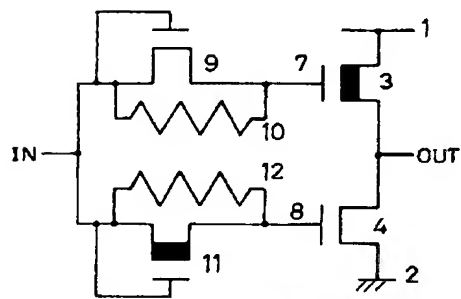
本発明の一実施例の回路図

第2図



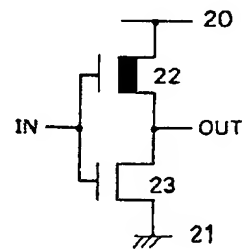
第2図におけるタイムチャート

第 3 図



本発明の他の実施例の回路図

第 4 図



従来の一例を示した回路図

第 5 図